

日 本 国 特 許 庁
JAPAN PATENT OFFICE

06.07.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 7 月 1 1 日

REC'D 19 AUG 2004

出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 7 3 3 2 5
[ST. 10/C]: [J P 2 0 0 3 - 2 7 3 3 2 5]

WIPO PCT

出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 会 社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋

BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 7 0 0 0 1

【書類名】 特許願
【整理番号】 2030250044
【提出日】 平成15年 7月11日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/72
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 齊藤 徹
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 川島 孝啓
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 井戸田 健
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 神澤 好彦
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 大西 照人
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
【選任した代理人】
 【識別番号】 100103355
 【弁理士】
 【氏名又は名称】 坂口 智康
【選任した代理人】
 【識別番号】 100109667
 【弁理士】
 【氏名又は名称】 内藤 浩樹
【手数料の表示】
 【予納台帳番号】 011305
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9809938

【書類名】 特許請求の範囲**【請求項 1】**

真性ベース領域がシリコンのみからなる第 1 の層およびゲルマニウムを含む第 2 の層を順次堆積することにより形成されるバイポーラトランジスタにおいて、前記第 1 の層を形成する際に同時に形成された多結晶シリコン層をシリサイド化することにより外部ベースとして用いることを特徴とするバイポーラトランジスタ。

【請求項 2】

真性ベース領域がシリコンのみからなる第 1 の層およびゲルマニウムを含む第 2 の層を順次堆積することにより形成されるバイポーラトランジスタの製造方法において、前記第 1 の層および第 2 の層を順次堆積する際に酸化膜上にシリコンからなる第 1 の多結晶層およびゲルマニウムを含む第 2 の多結晶層を同時に形成し、第 2 の多結晶層を選択的に除去した後シリサイド化することにより第 1 の多結晶層を外部ベース層として用いることを特徴とするバイポーラトランジスタの製造方法。

【請求項 3】

真性ベース領域がシリコンのみからなる第 1 の層およびゲルマニウムを含む第 2 の層により構成され、外部ベース層が前記第 1 の層および第 2 の層を形成する際に同時に形成された多結晶層からなるバイポーラトランジスタにおいて、外部ベース領域に含まれるゲルマニウムの含有率が真性ベース領域に含まれるゲルマニウムの含有率よりも小さいことを特徴とするバイポーラトランジスタ。

【請求項 4】

真性ベース領域がシリコンのみからなる第 1 の層およびゲルマニウムを含む第 2 の層により構成され、外部ベース層が前記第 1 の層および第 2 の層を形成する際に同時に形成された多結晶層からなるバイポーラトランジスタの製造方法において、前記第 2 の層を形成する際に、塩素を含む反応性ガスを同時に添加することにより、外部ベース領域に含まれるゲルマニウムの含有率が真性ベース領域に含まれるゲルマニウムの含有率よりも小さくなることを特徴とするバイポーラトランジスタの製造方法。

【書類名】明細書

【発明の名称】ヘテロバイポーラトランジスタおよびその製造方法

【技術分野】

【0001】

本発明は、エピタキシャル成長によりベース層を形成したバイポーラトランジスタに関する。

【背景技術】

【0002】

近年、バイポーラトランジスタにおいて、エピタキシャル成長を用いてベース層にバンドギャップの異なる材料を導入することにより、デバイスの高速化を実現するヘテロバイポーラトランジスタの開発も盛んに行われている。SiGe、SiGeCなどのIV族半導体材料をベース層に用いるヘテロバイポーラトランジスタは、Si基板上にデバイス形成が可能であり、CMOS回路との集積による高機能化、大面積基板利用による低コスト化などの利点を有するため、高速デバイスとして有望視されている。

【0003】

従来技術によるSiGeヘテロバイポーラトランジスタの代表的な作製例を図27に示す。以降SiGeをベースに用いたヘテロバイポーラトランジスタについて述べるが、SiGeCをベースに用いた場合においても、全く同様である。トランジスタの構造は大別して、ダブルポリシリコン構造およびシングルポリシリコン構造と呼ばれる2種類に分類される。

【0004】

図27(a)は、ダブルポリシリコン構造の代表的模式図である。素子分離101およびコレクタ領域102を形成したシリコン基板上に、外部ベース領域となるポリシリコン層103を予め形成する。その後、真性ベース領域となるエピタキシャルSiGe層104を選択成長によりエピタキシャル成長する。しかしながら本方法は、真性ベース領域となるエピタキシャルSiGe層104と外部ベース領域となるポリシリコン層103との界面105での自然酸化膜の形成が避けられないことや界面105においてボイドが生成する可能性があるなどの要因により接触抵抗が増大する、バラツキが増加するという欠点を有する。また、プロセスが複雑化する、選択成長のプロセスウィンドウが狭いなどの点から量産には不向きである。

【0005】

図27(b)は、シングルポリシリコン構造の代表的模式図である。素子分離101およびコレクタ領域102を形成したシリコン基板上に、真性ベース領域となるエピタキシャルSiGe層106をエピタキシャル成長する。この時、非選択成長方法を用いて、素子分離101上には外部ベース領域となるポリSiGe層107を同時に形成する。このとき形成された外部ベース領域となるポリSiGe層107に直接シリサイド層108を形成する。本方法によれば、真性ベース領域となるエピタキシャルSiGe層106と外部ベース領域となるポリSiGe層107界面における自然酸化膜形成やボイド形成は生じないため接触抵抗の低減が可能である。また、プロセスが簡略であり、選択成長と比較して非選択成長のプロセスウィンドウが広いことから量産に適しているといえる。

【特許文献1】国際公開WO 01/88994号パンフレット

【非特許文献1】IEEE Electron Device Letters vol.23 No.8 (2002) p464-466

【非特許文献2】2002.Symposium on VLSI Technology Digest 10-4

【非特許文献3】IEEE Electron Device Letters Vol.23 (2002) P.258-260

【発明の開示】

【発明が解決しようとする課題】

【0006】

非選択成長を用いて作製したシングルポリシリコン構造ヘテロバイポーラトランジスタにおいては、真性ベース領域となるエピタキシャルSiGe層106と外部ベース領域となるポリSiGe層107が同時に形成されるため、真性ベース領域の組成プロファイルがそのまま外部ベース領域の組成プロファイルとなる。図28は、一般的に用いられているSiGeバイポーラトランジスタのエピタキシャル成長ベース構造の積層構造を模式的に表している。図29

は各層のGe濃度プロファイルを表している。

【0007】

Si基板側から順に、Siバッファ層109、ノンドープSiGeスペーサ層110、BドープSiGe傾斜ベース層111、Siキャップ層112が積層される。109-112をまとめて「真性ベース領域」といい、図27(b)の106がこれに相当する。このような構造は、デバイス特性を向上させるため真性ベース領域のプロファイルとして採用されており、例えばSiGe傾斜ベース層111の採用によりベース層内部電界を誘起し、電子を加速することにより高速化が図られる。

【0008】

バイポーラトランジスタ動作をさらに高速化するためには、真性ベース領域の膜厚を薄膜化しベース走行時間を短縮することが有効であり、真性ベース領域の薄膜化が盛んに検討されている。非選択成長を用いたシングルポリシリコン構造の場合、前述したようにエピタキシャルにより成長した真性ベース領域のGeプロファイルがそのままポリSiGeからなる外部ベース領域のGeプロファイルに反映される。従って外部ベース領域は真性ベース領域とはほぼ同様に、Si基板側から順に、Siバッファ層113、ノンドープSiGeスペーサ層114、BドープSiGe傾斜ベース層115、Siキャップ層116が積層される。113-116をまとめて「外部ベース領域」といい、図27(b)の107がこれに相当する。しかしながら、真性ベース領域で最適化されたプロファイルが必ずしも外部ベース領域のプロファイルとして最適化される訳ではなく、以下に述べる課題が生じる。

【0009】

図30は、真性ベース領域のSiキャップ層112の膜厚に対する、ベース抵抗117および f_{max} 118の変化を示したものである。ベース抵抗117および f_{max} 118の値はSiキャップ112の膜厚が30nmであるときの値で規格化している。デバイスの高速化を目的としてSiキャップ層112および116の膜厚を薄くするに従って、ベース抵抗117が増大し f_{max} 118が減少することがわかる。

【0010】

この原因は、外部ベース領域におけるSiキャップ層116が薄膜化されたことにより、外部ベース領域のシリサイド化工程においてGe原子がシリサイド層形成を阻害し、シリサイド層を高抵抗化させていると考えられる。この現象は特にCoを用いたシリサイド形成において顕著に表れるとの報告が、非特許文献1に記載されている。外部ベース領域におけるSiキャップ層116が薄膜化するに従って外部ベース領域の表面近傍のGe濃度が増加し、シリサイド形成が阻害され、高抵抗化したものと考えられる。

【0011】

RimらはSiGeを用いたMOSFETにおいても同様にGeによるシリサイド高抵抗化が生じ、以下の対策をおこなっていることが、非特許文献2に記載されている。この報告によれば、対策としてシリサイド形成直前のSiGe層の上にraised source/drain(RSD)と呼ばれるSi層を選択成長することにより低抵抗化できると述べている。

【0012】

また、Jagannathanらはシングルポリシリコン構造を用いたSiGeヘテロバイポーラトランジスタの作製において、真性ベース領域となるエピタキシャルSiGe層と外部ベース領域となるポリSiGe層を同時形成した後、真性ベース領域をマスクした後、外部ベース領域となるポリSiGe層上に“raised extrinsic base”と呼ばれる層を選択成長により成長していることを、非特許文献3に開示している。本報告においては、シリサイド抵抗に関しては明言されていないが、Geによるシリサイド工程の阻害を抑制していると推測できる。しかしながら、これらの対策方法はいずれも従来プロセスに新たに選択成長という複雑な工程を追加する必要があり、工程の複雑化やコストの増大を招くという課題が生じる。

【0013】

本発明は、シングルポリシリコン構造を用いたヘテロバイポーラトランジスタに関し、工程を複雑化することなく、Geによるシリサイド抵抗の増加を抑制しようとすることを目的とする。

【課題を解決するための手段】

【0014】

上記課題を解決するため、本発明の第1の発明においては、以下に述べる手段を用いる。非選択成長を用いたシングルポリシリコンSiGeヘテロバイポーラトランジスタ作製工程において、シリサイド層を形成する直前にウェットエッチングを用いて、ポリSiGe層のみを選択的に除去し、Siバッファ層のみを外部ベース領域として用いる。この結果、Siバッファ層に直接シリサイド層が形成され、Geによる阻害なく低抵抗のシリサイド層が形成される。上記ウェットエッチングのエッチング液としては、 HNO_3 、 H_2O 、 HF の混合液が望ましい。混合比としては、 $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}=40:20:5$ が最も望ましい。

【0015】

上記課題を解決するため、本発明の第2の発明においては、以下に述べる手段を用いる。シングルポリシリコンSiGeヘテロバイポーラトランジスタ作製工程において、SiGeベース層形成時に、Siバッファ層およびSiキャップ層などGeを含まない層の成長には非選択成長条件、SiGeスペーサ層およびSiGe傾斜ベース層などのGeを含む層の成長には選択成長条件、あるいは、ポリ層の成長速度がエピ層の成長速度よりも十分小さい条件を用いる。この結果、外部ベース領域内のGe含有量が0、もしくは真性ベース領域のGe含有量よりも著しく小さい外部ベース領域が形成され、Geによる阻害なく低抵抗のシリサイド層が形成される。上記Siバッファ層およびSiキャップ層などGeを含まない層の成長には SiH_4 、 Si_2H_6 、 GeH_4 など原料ガスのみを用い、SiGeスペーサ層およびSiGe傾斜ベース層などのGeを含む層の成長には原料ガスとともに HCl 、 Cl_2 、 SiH_2Cl_2 などのエッチング性の性質を有するガスを添加することが望ましい。

【発明の効果】

【0016】

以上説明したように、本発明のバイポーラトランジスタによれば、ベース抵抗の低減をおこなうことができ、トランジスタの高性能化を実現できるという効果がある。

【発明を実施するための最良の形態】

【0017】

(実施例1)

以下、図面を参照しながら、本発明の第1の発明の実施例について説明する。まず、図1に本実施例により作製したバイポーラトランジスタの断面構造を示す。以下図3から図15を用いて本トランジスタの作製方法を述べる。P型Si基板1の上部の表面にフォトリソグラフィーを用いてN型のサブコレクタを形成する領域を開口したレジストをマスクに、砒素のイオンを注入して、HBT形成領域に深さ約 $1\mu\text{m}$ のN型のサブコレクタ2を形成する。続いて、基板1の上部にN型不純物をドーピングしながらSi単結晶層3をエピタキシャル成長させる(図3)。

【0018】

次に、図4に示すように素子分離として、シリコン酸化膜が埋め込まれたシャロートレンチ4と、アンドープポリシリコン膜6およびこれを取り囲むシリコン酸化膜7により構成されるディープトレンチ5とを形成する。各トレンチ4、5の深さは、それぞれ約 $0.3\mu\text{m}$ 、約 $2\mu\text{m}$ である。

【0019】

次に、 N^+ コレクタ引出し層形成領域を開口したレジストをマスクに、燐イオンを注入し、 N^+ コレクタ引出し層8を形成する。以上により、図5のような形状を得る。

【0020】

次に、図6に示すように約 50nm のシリコン酸化膜9を減圧CVD法で堆積させ、続いて約 100nm のポリシリコン膜10を減圧CVD法で堆積させる。

【0021】

次に、図7に示すようにフォトリソグラフィーを用いてHBT形成領域を開口したレジストをマスクにポリシリコン膜10をエッチングした後、コレクタのリンプロファイルを形成するためにPを注入する。これにより、Si単結晶層3内に所望のPプロファイルが形成できる。続いてポリシリコン膜10をエッチングした領域で露出している前記酸化膜

9をフッ酸により除去し、HBT形成領域のN型Si表面を露出させる。

【0022】

次に、図8に示すように化学的気相成長法により約100nmの真性ベース領域となるエピタキシャルSiGe層11および外部ベース領域となるポリSiGe層12を同時に堆積する。この時、真性ベース領域となるエピタキシャルSiGe層11および外部ベース領域となるポリSiGe層12には成長中にボロンが導入されてP型になっている。

【0023】

この図では、簡略化のために真性ベース領域となるエピタキシャルSiGe層11および外部ベース領域となるポリSiGe層12をそれぞれ一層構造として表示しているが、実際は、図28に示したように、真性ベース領域となるエピタキシャルSiGe層11はSiバッファ層109、ノンドープSiGeスペーサ層110、BドープSiGe傾斜ベース層111、Siキャップ層112から構成され、外部ベース領域となるポリSiGe層12はSiバッファ層113、ノンドープSiGeスペーサ層114、BドープSiGe傾斜ベース層115、Siキャップ層116から構成されている。また、シャロートレンチ4の直上のSiGe層は多結晶（すなわち、ポリSiGe層12）となり、Si単結晶層3の直上のSiGe層は単結晶（すなわち、エピタキシャルSiGe層11）となる。

【0024】

次に、膜厚が約30nmの酸化膜13および膜厚が約50nmのポリシリコン14を連続して減圧CVD法により堆積した後、フォトリソグラフィを用いてHBTのエミッタ領域を開口したレジストをマスクに前記ポリシリコン膜14をドライエッチング技術によりエッチングする。そして、開口部内の酸化膜13をウェットエッチングにより除去する（図9）。

【0025】

次に、膜厚が300nm程度で濃度が $1 \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度のN⁺ポリシリコン15を減圧CVD法により堆積する。続いて、フォトリソグラフィにより所定の領域を開口したレジストをマスクにしてポリシリコン膜15を異方性エッチングすることによりエミッタ電極16を形成し、続いて酸化膜13をウェットエッチングする（図10）。次に外部ベース領域の抵抗を低減するため注入角度0°でBの追加注入を行う。

【0026】

次に、図11に示すように、フォトリソグラフィにより所定の領域を開口したレジストをマスクにして前記外部ベース領域となるポリSiGe層12をパターンニングしてエッチングし、HBTの外部ベース電極17を形成する。

【0027】

次に、図12に示すように、厚さが約30～100nm程度の酸化膜を減圧CVD法により堆積した後、温度が900℃程度、時間が10～15秒程度の熱処理をおこなう。続いて、この酸化膜を異方性エッチングしHBTのエミッタ電極16の側壁にサイドウォール18を形成する。この時、HBTのエミッタ電極16の表面、外部ベース電極17の表面、N⁺コレクタ引出し層8の表面は、シリコン表面が露出している状態である。

【0028】

次の工程が、従来方法と異なる本発明の主要な内容であるので図13および図14を用いて詳しく説明する。この段階までで外部ベース領域となるポリSiGe層12の表面は露出し、真性ベース領域となるエピタキシャルSiGe層11表面はエミッタ電極16によって被覆されている。図13および14では、外部ベース領域となるポリSiGe層12をSi基板側から順に、Siバッファ層113、ノンドープSiGeスペーサ層114、BドープSiGe傾斜ベース層115、Siキャップ層116、真性ベース領域となるエピタキシャルSiGe層11を、Si基板側から順に、Siバッファ層109、ノンドープSiGeスペーサ層110、BドープSiGe傾斜ベース層111、Siキャップ層112に分けて表示している。

【0029】

この状態で、 $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}=40:20:5$ 溶液を用いてウェットエッチングをおこなった。このエッチング液によるSiおよびSiGe(Ge組成30%)のエッチング速度はそれぞれ1.8nm/min

、22.5nm/minでありSiに比べてSiGe層のエッチング速度は約13倍程度速い。従って、エッチングは表面から外部ベースにおけるSiGeスペーサ層114までは急速に進行するが、Siバッファ層113でエッチング速度が低下する。従ってエッチング時間の設定により制御性よくSiキャップ層116、傾斜ベース層115、SiGeスペーサ層114のみをエッチングし、Siバッファ層113を残すことができる。本手法により外部ベース層におけるSiバッファ層113のみを残したのが図14である。

【0030】

次に、Coをスパッタリングし、アニールをした後に、Co未反応層を除去し、続いてアニールを実施することによりCoシリサイド層19を形成する。これ以降は標準的な多層配線工程プロセスで作成していく（図15）。続いて、層間絶縁膜20を堆積した後に、前記層間絶縁膜20を貫通してHBTのエミッタポリシリコン電極16、外部ベース電極17、N⁺コレクタ引出し層8上の各前記Coシリサイド層21に到達する接続孔を形成する。そして、各接続孔内にW膜を埋め込んでWプラグ19を形成した後に、アルミニウム合金膜をスパッタリングし、所定の領域を開口したレジストをマスクにしてパターンニングし、各Wプラグ21に接続され、層間絶縁膜20の上に延びる金属配線22を形成しHBTデバイスが形成される。

【0031】

本実施例においては、Coシリサイド層はGeを含まないSiバッファ層113に直接形成される。したがって従来技術において課題であった、Geによるシリサイド形成の阻害により発生するベース抵抗の増大は全く生じないことが確認された。

【0032】

（実施例2）

以下、図面を参照しながら、本発明の第2の発明の実施例について説明する。まず、図2に本実施例により作製したバイポーラトランジスタの断面構造を示す。以下図16から図26までを用いて本トランジスタの作製方法を述べる。

【0033】

図16から図20までに示したSiGeエピ前までの工程は、実施例1で図3から図7までを用いて説明した内容と全く同じであるので詳細な説明は省略する。SiGeエピ成長方法が従来方法と異なる本発明の主要な内容であるので図21を用いて詳しく説明する。本実施例において、Si単結晶層3の上にSiバッファ層109を成長するが、この時は非選択成長条件で成長を行う。具体的には減圧化学的気相成長法（LPCVD）によりSiH₄ガスをを用いて650℃で成長をおこなった。成長圧力は80Torrとした。

【0034】

このとき真性ベース領域におけるSiバッファ層109と同時にシリコン酸化膜が埋め込まれたシャロートレンチ4上にはポリシリコンからなる外部ベース領域におけるSiバッファ層113が形成される。

【0035】

引き続きエピタキシャル成長により形成されたノンドープSiGeスペーサ層110、BドープSiGe傾斜ベース層111、を成長するが、この時はいわゆる選択成長条件を用いて成長をおこなった。原料ガスにはSiH₂Cl₂、GeH₄およびHClを用い、成長温度750℃、成長圧力20Torrでの成長を行った。この条件であれば、エピタキシャル成長により形成された単結晶Siバッファ層109上には単結晶SiGe層が速やかに成長するが、多結晶シリコンからなるSiバッファ層113にはSiGe層が成長しにくい。そのため、外部ベース領域におけるSiバッファ層113の上にもノンドープSiGeスペーサ層114、BドープSiGe傾斜ベース層115が成長するが、外部ベース領域におけるノンドープSiGeスペーサ層114、BドープSiGe傾斜ベース層115の成長膜厚は、塩素系ガスをを用いた選択成長により真性ベース領域におけるノンドープSiGeスペーサ層110、BドープSiGe傾斜ベース層111の約1/10程度となった。

【0036】

引き続きSiキャップ層112の成長をおこなうが、この時は再び非選択成長条件すなわちS

iH₄ ガスによる650℃成長を用い、真性ベース領域におけるSiキャップ層112とはほぼ同等の膜厚を有する外部ベース領域におけるSiキャップ層116が形成された。この結果、真性ベース領域109-112内のGe含有量と比較して、外部ベース領域113-116内のGe含有量は1/10以下となり、113-116からなる外部ベース領域はほとんどSiのみによって構成された。以降のトランジスタ加工工程を図22から26までに示すが、実施例1で説明した内容と全く同じであるので詳細な説明は省略する。

【0037】

本実施例においては、Coシリサイド層はGeの含有量が極めて小さい外部ベース層に直接形成される。したがって従来技術において課題であった、Geによるシリサイド形成の阻害により発生するベース抵抗の増大は生じないことが確認された。

【産業上の利用可能性】

【0038】

本発明のバイポーラトランジスタおよびその製造方法は、ベース抵抗の低減をおこなうことができ、トランジスタの高性能化を実現できるという効果を有しており、このバイポーラトランジスタは、一例として情報処理端末（据置型、卓上型および携帯型を問わない）に内蔵される。

【図面の簡単な説明】

【0039】

【図1】 本発明の第1の実施例によるバイポーラトランジスタ断面図

【図2】 本発明の第2の実施例によるバイポーラトランジスタ断面図

【図3】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図4】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図5】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図6】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図7】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図8】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図9】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図10】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図11】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図12】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図13】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図14】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図15】 本発明の第1の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図16】 本発明の第2の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図17】 本発明の第2の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 18】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 19】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 20】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 21】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 22】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 23】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 24】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 25】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 26】本発明の第 2 の実施例によるバイポーラトランジスタの製造方法を示す工程断面図

【図 27】従来技術によるバイポーラトランジスタ断面図

【図 28】従来技術によるバイポーラトランジスタのベース構造模式図

【図 29】従来技術によるバイポーラトランジスタのベース構造 Ge プロファイルの説明図

【図 30】従来技術によるバイポーラトランジスタのベース抵抗および f_{max} の Si キャップ膜厚依存性説明図

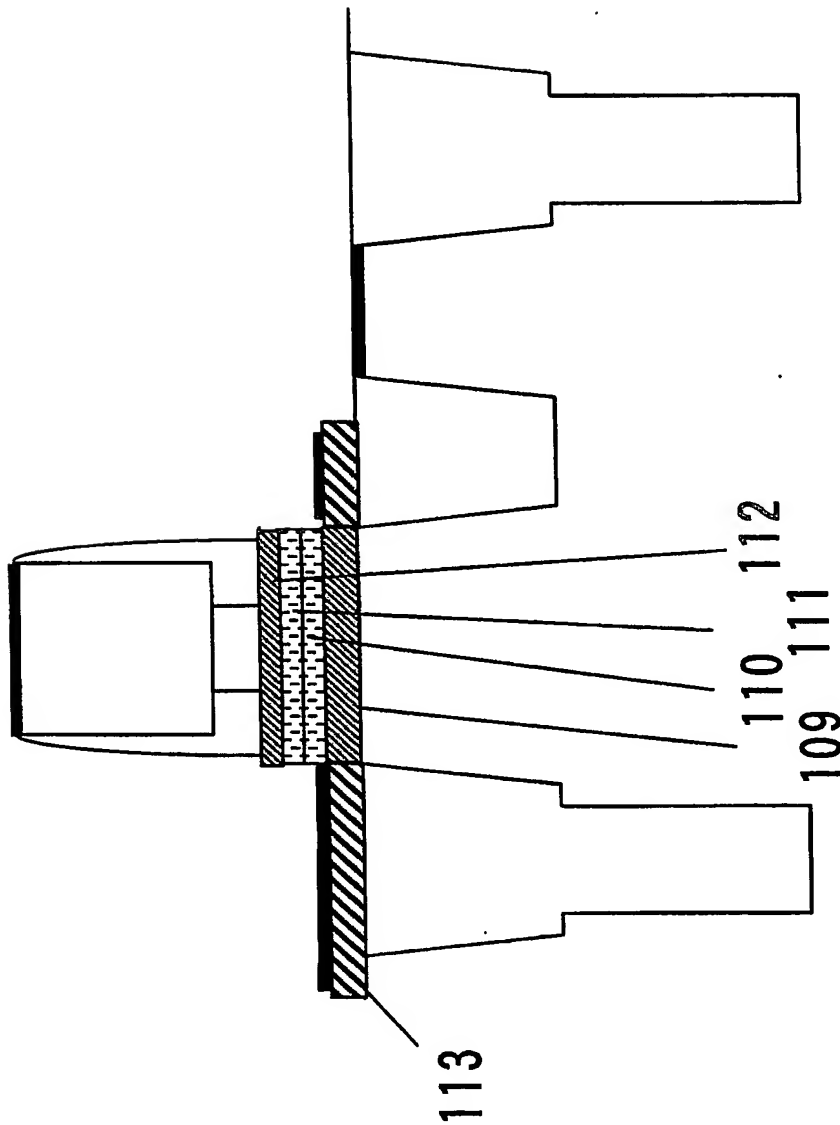
【符号の説明】

【0040】

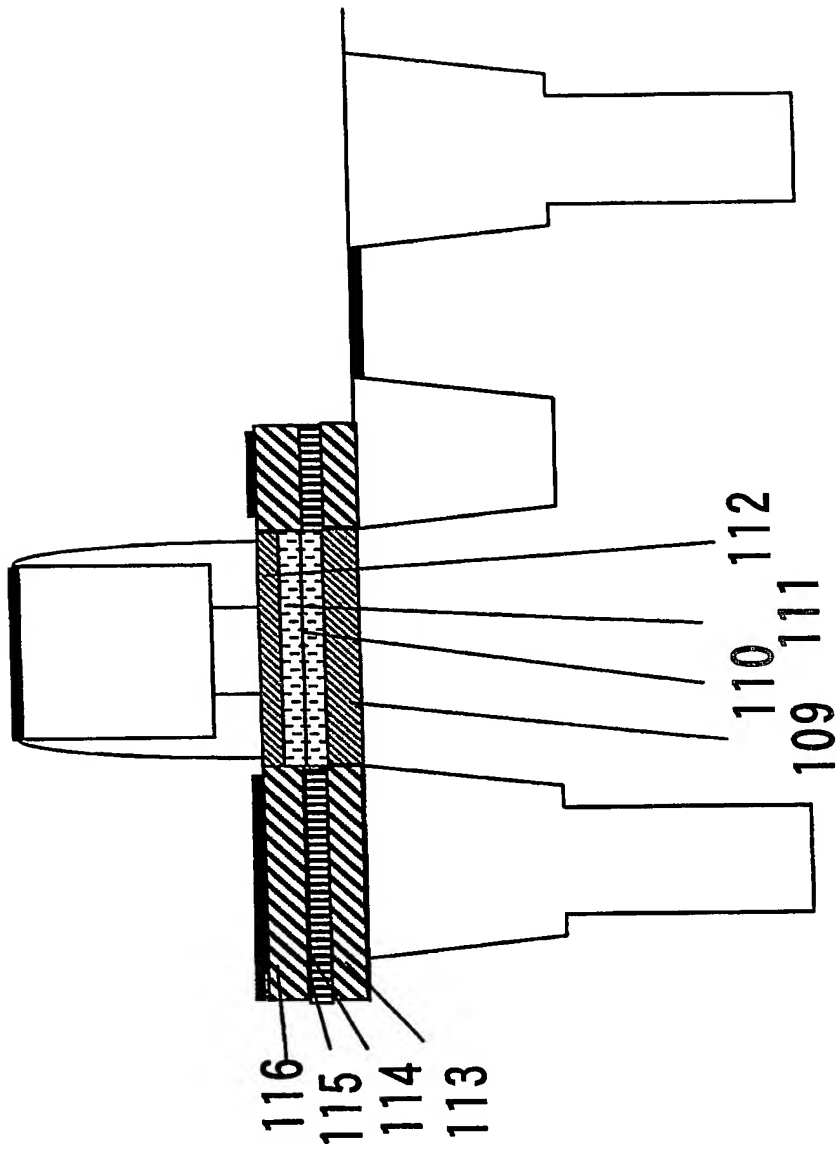
- 1…P 型 Si 基板
- 2…サブコレクタ
- 3…Si 単結晶層
- 4…シャロートレンチ
- 5…ディープトレンチ
- 6…アンドープポリシリコン膜
- 7…シリコン酸化膜
- 8…N⁺ コレクタ引出し層
- 9…酸化膜
- 10…ポリシリコン膜
- 11…エピタキシャル SiGe 層
- 12…ポリ SiGe 層
- 13…酸化膜
- 14…ポリシリコン膜
- 15…N⁺ ポリシリコン
- 16…エミッタ電極
- 17…外部ベース電極
- 18…サイドウォール
- 19…C₆₀ シリサイド層
- 20…層間絶縁膜
- 21…W プラグ
- 22…金属配線
- 101…素子分離
- 102…コレクタ領域

103 . . . ポリシリコン層
104 . . . エピタキシャルSiGe層
105 . . . 界面
106 . . . エピタキシャルSiGe層
107 . . . ポリSiGe層
108 . . . シリサイド層
109 . . . Siバッファ層
110 . . . SiGeスペーサ層
111 . . . SiGe傾斜ベース層
112 . . . Siキャップ層
113 . . . Siバッファ層
114 . . . SiGeスペーサ層
115 . . . SiGe傾斜ベース層
116 . . . Siキャップ層
117 . . . ベース抵抗
118 . . . f_{max}

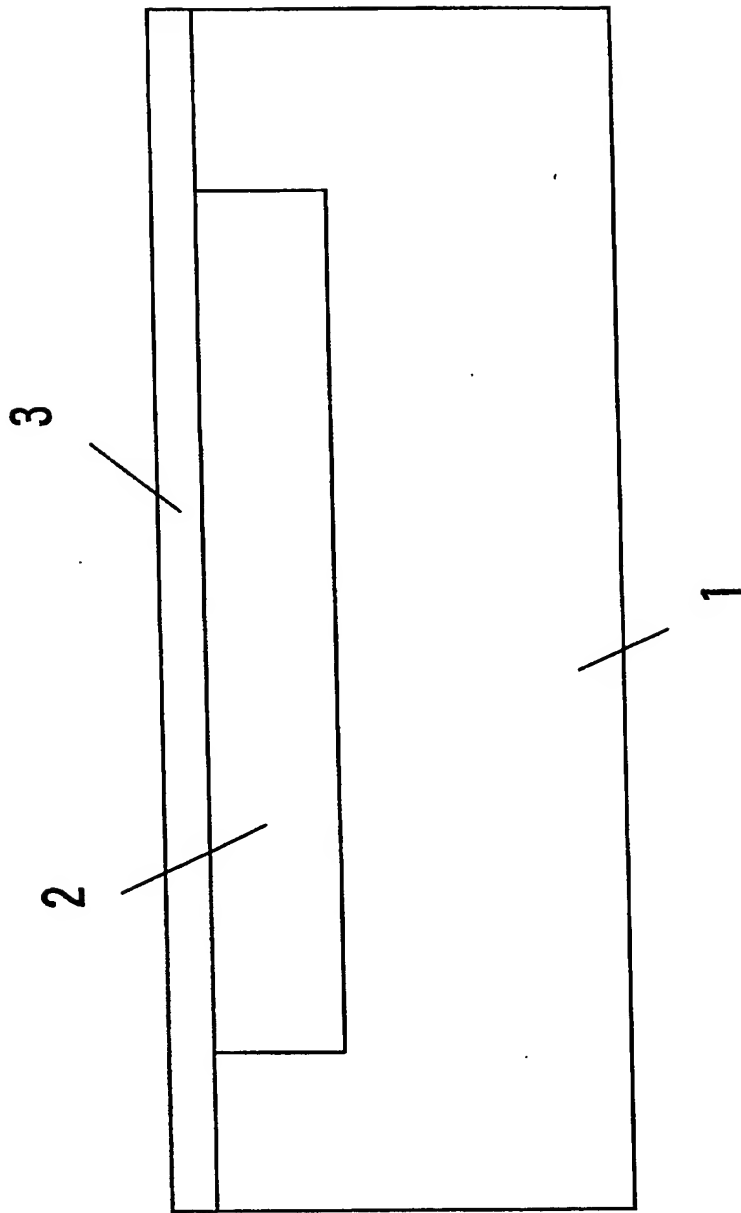
【書類名】 図面
【図 1】



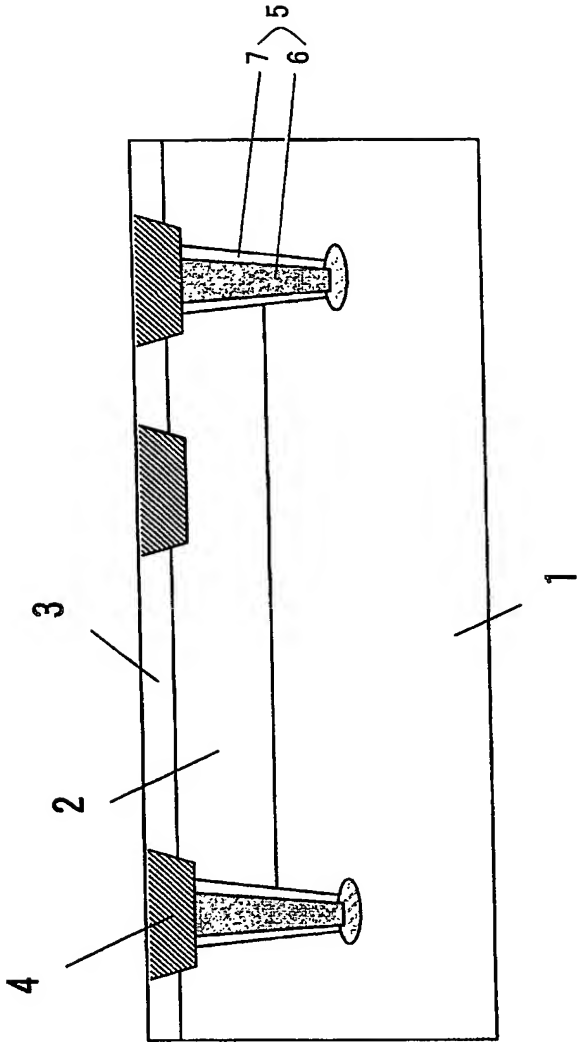
【図 2】



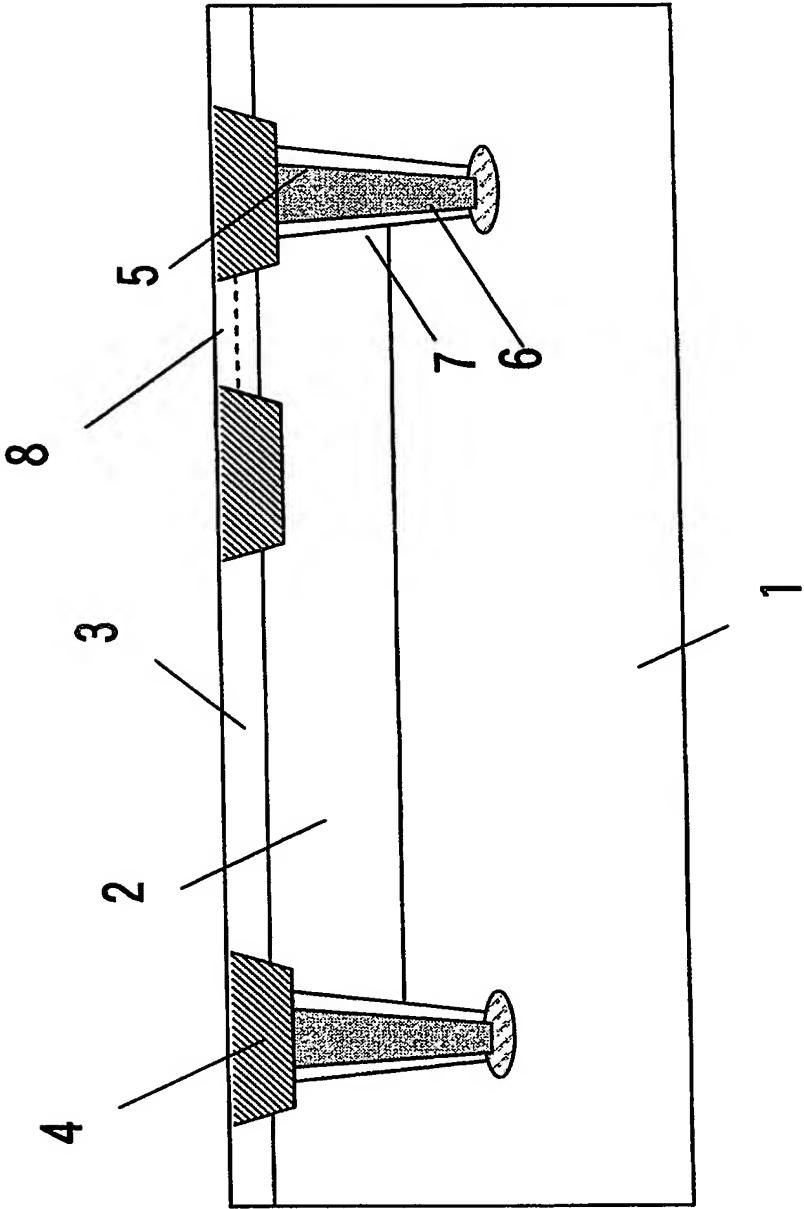
【図 3】



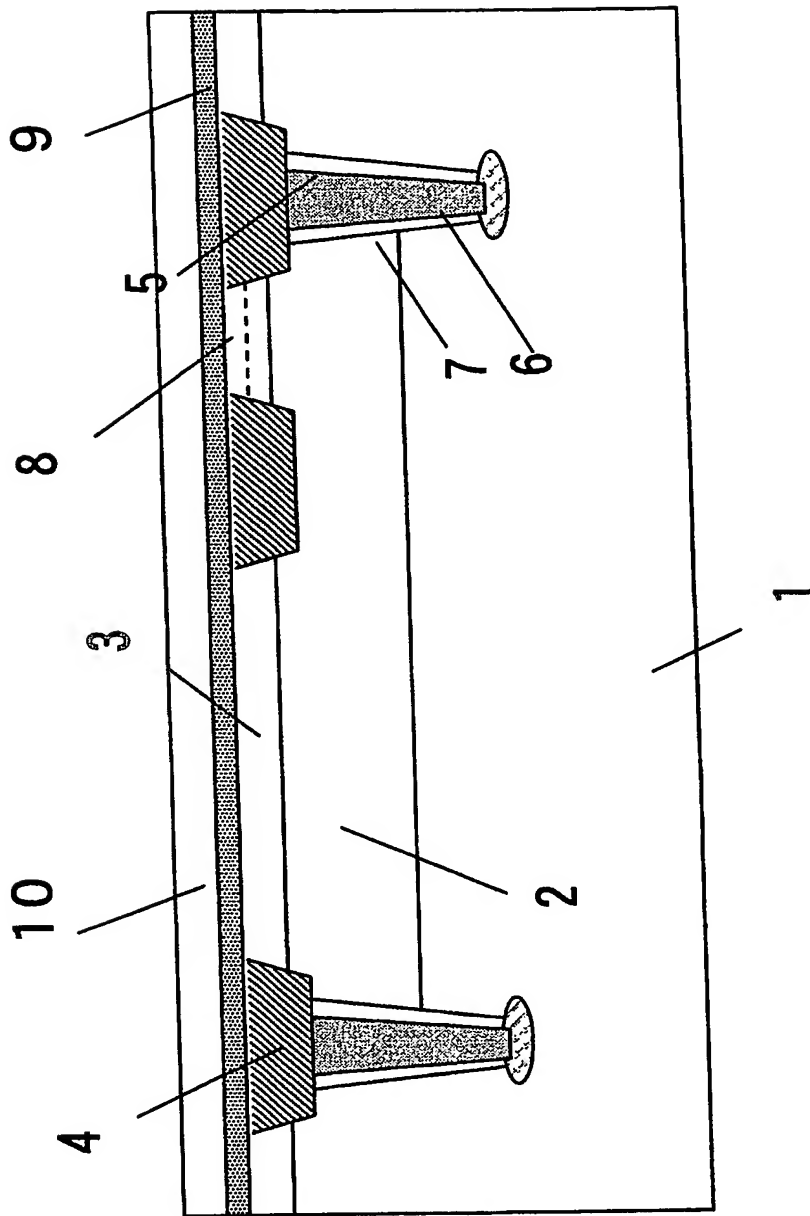
【図 4】



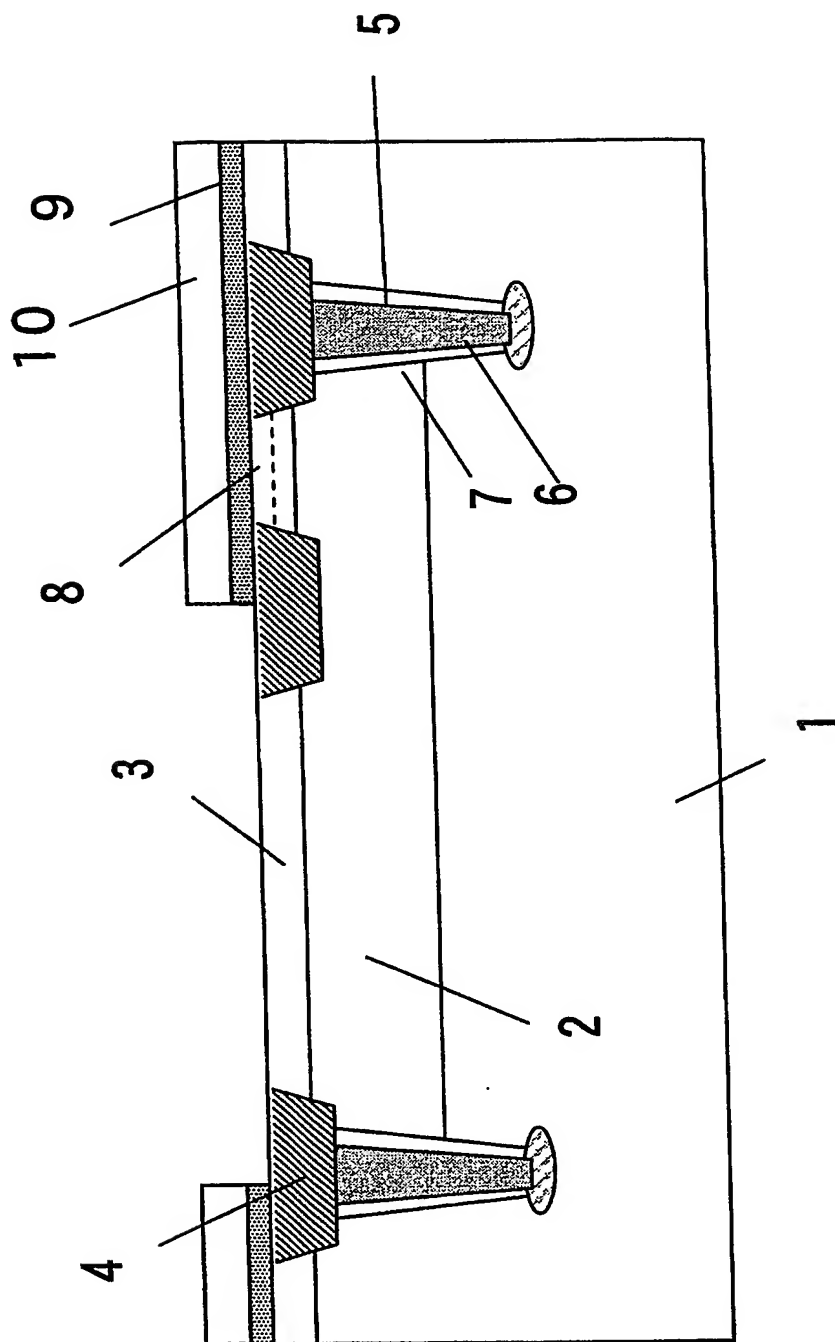
【図 5】



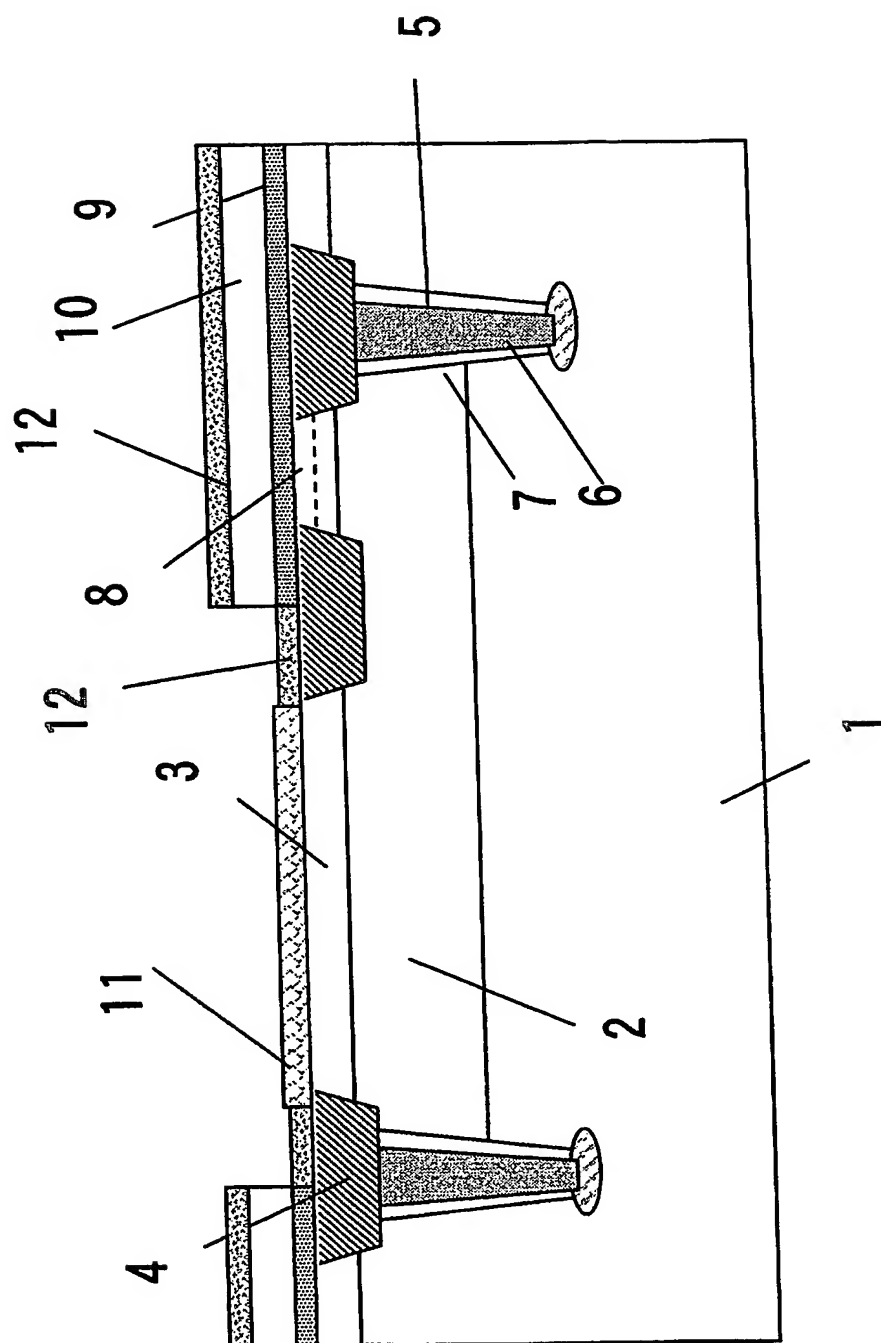
【図 6】



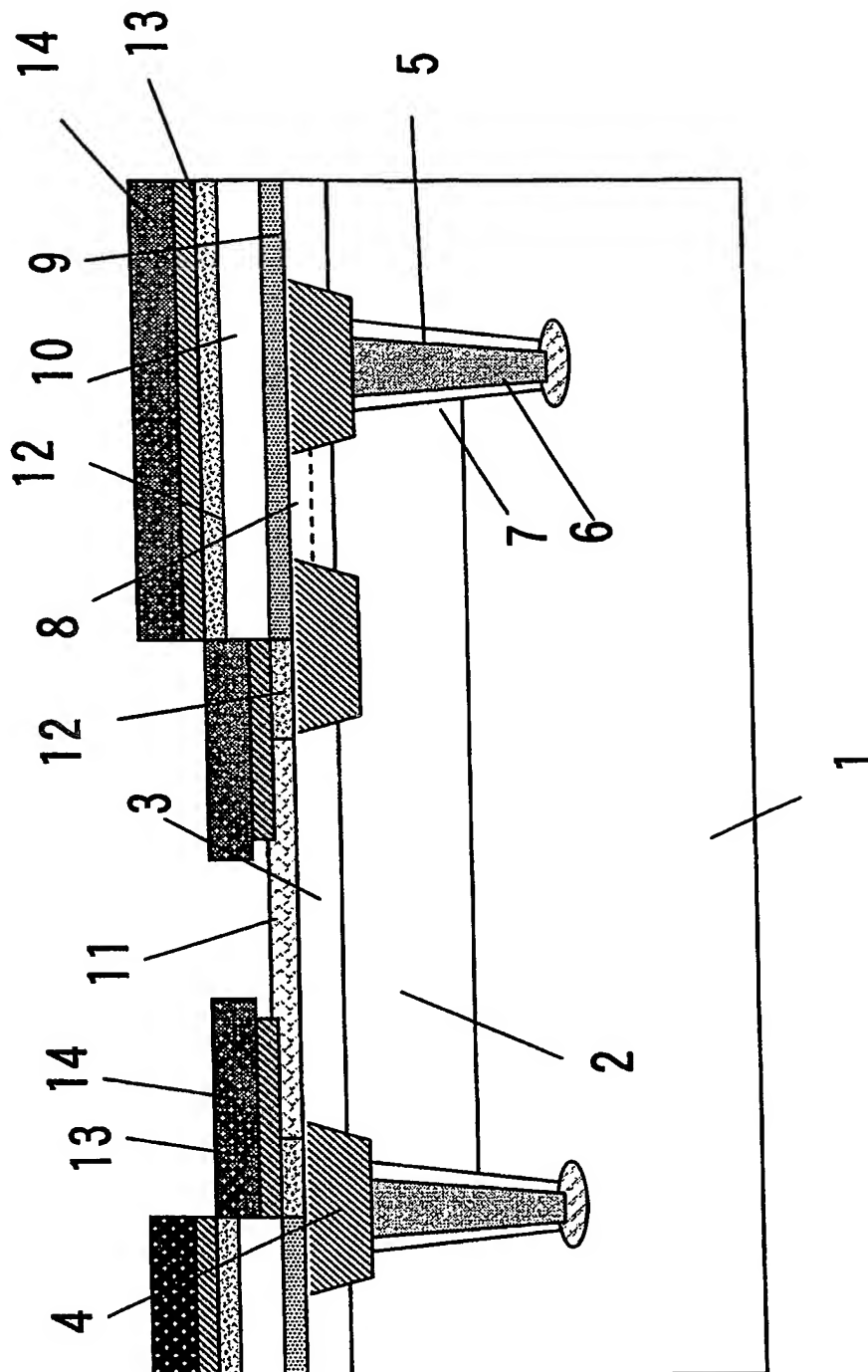
【図 7】



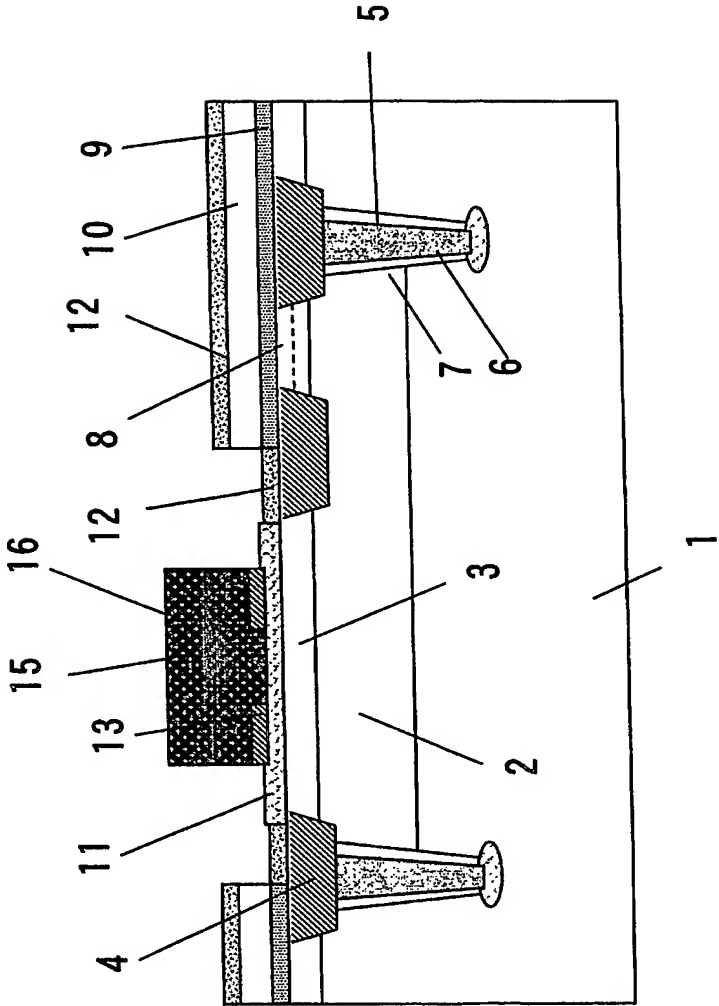
【図 8】



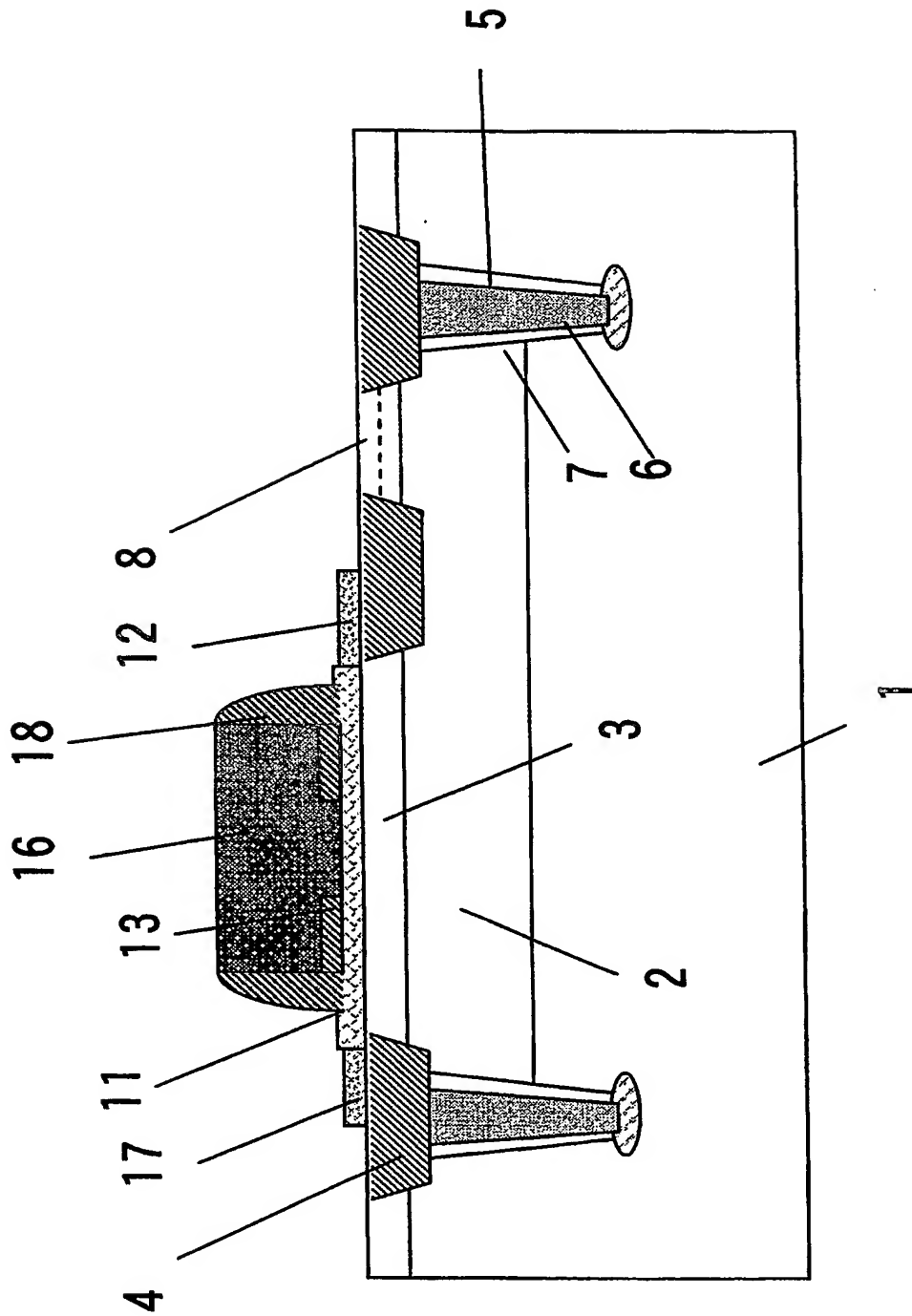
【図 9】



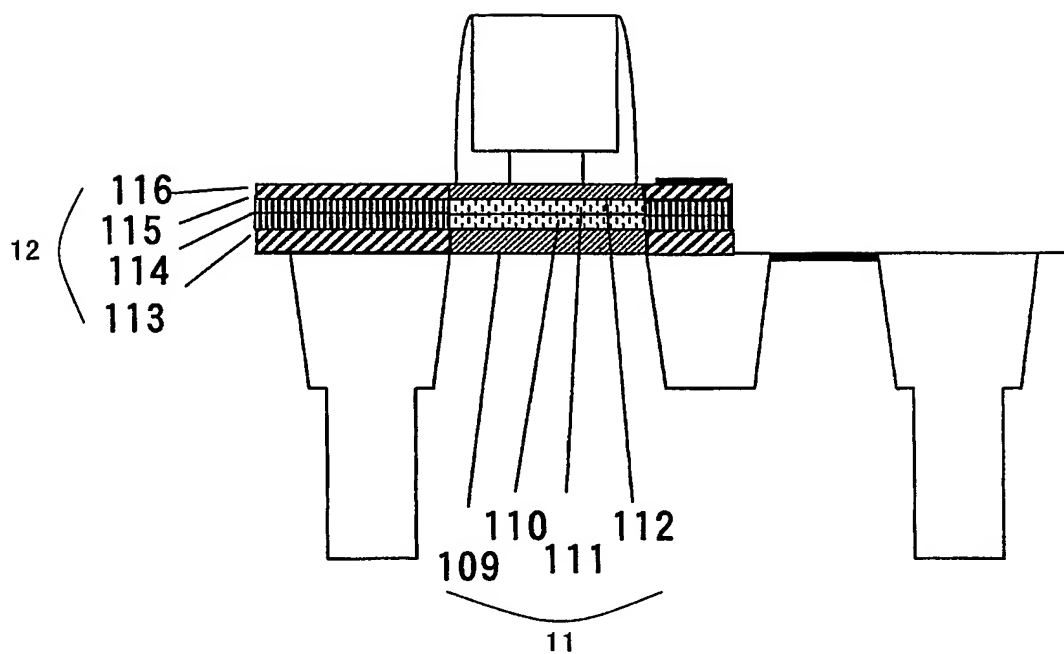
【図 10】



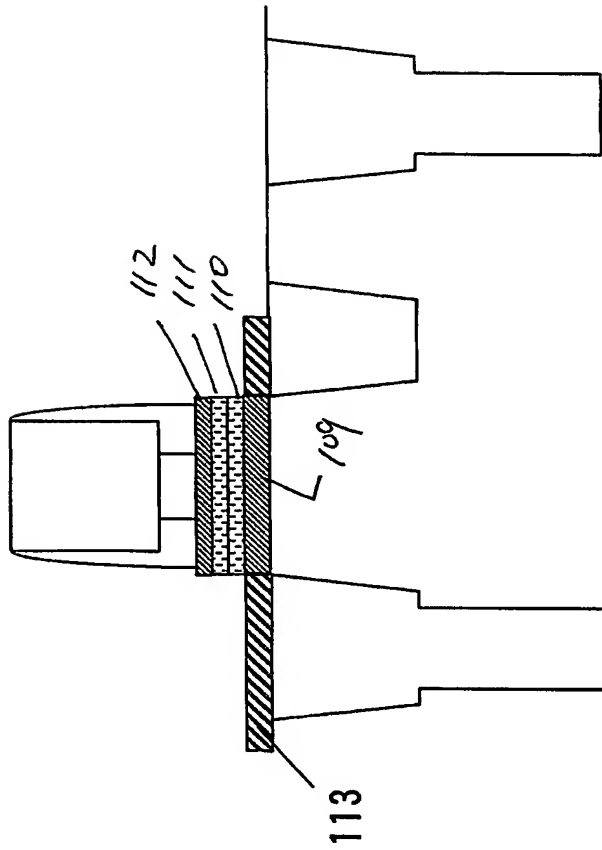
【図 12】



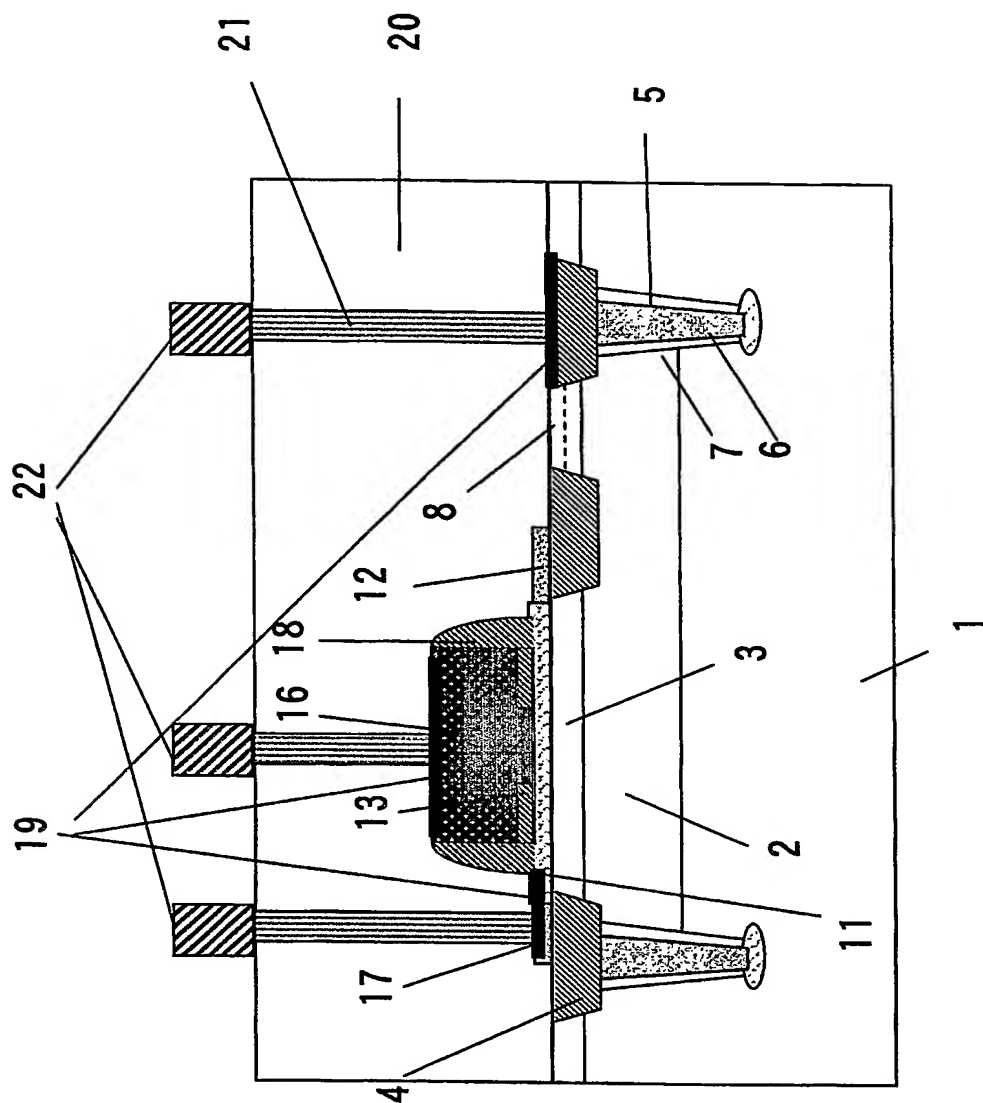
【図 13】



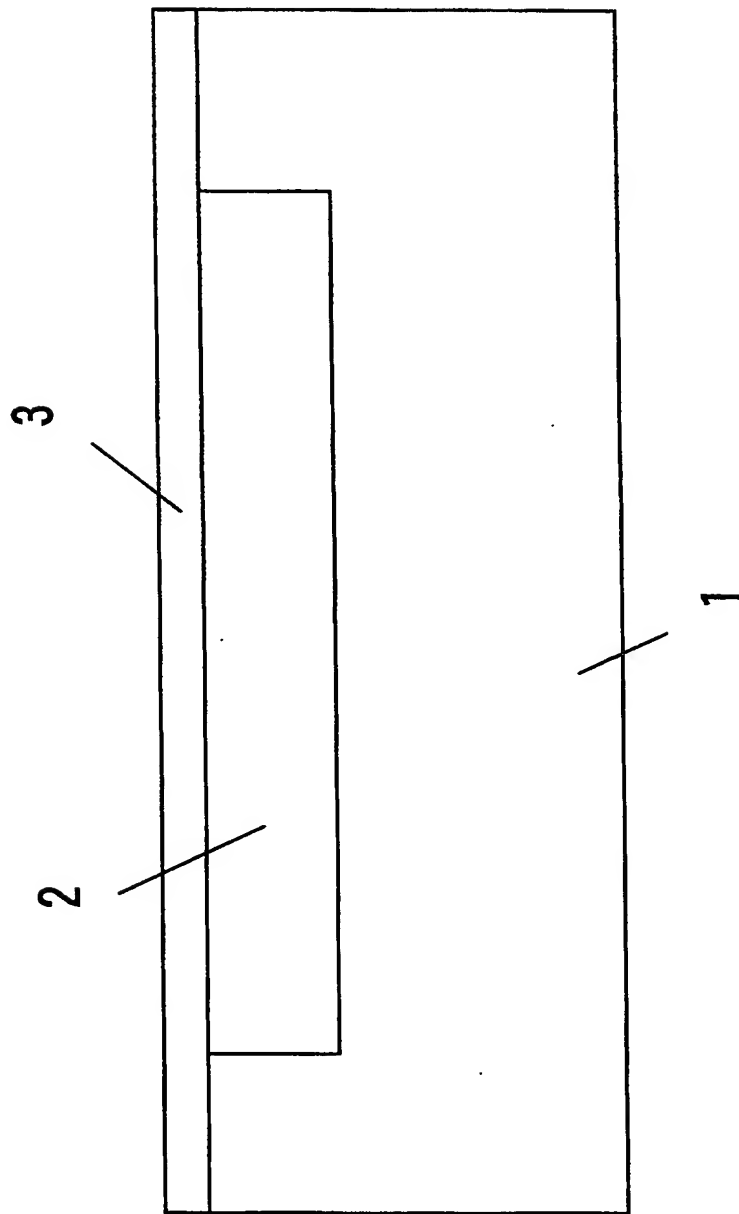
【図 14】



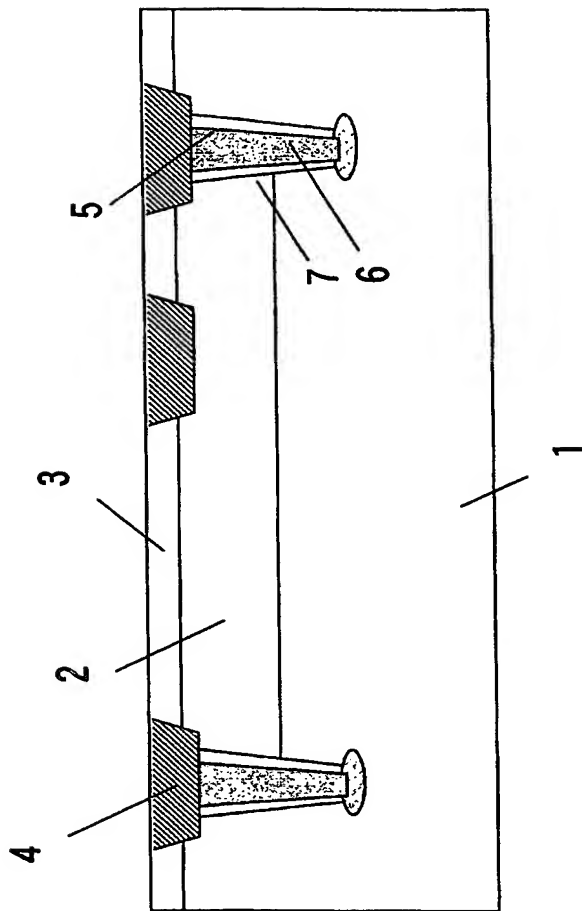
【図 15】



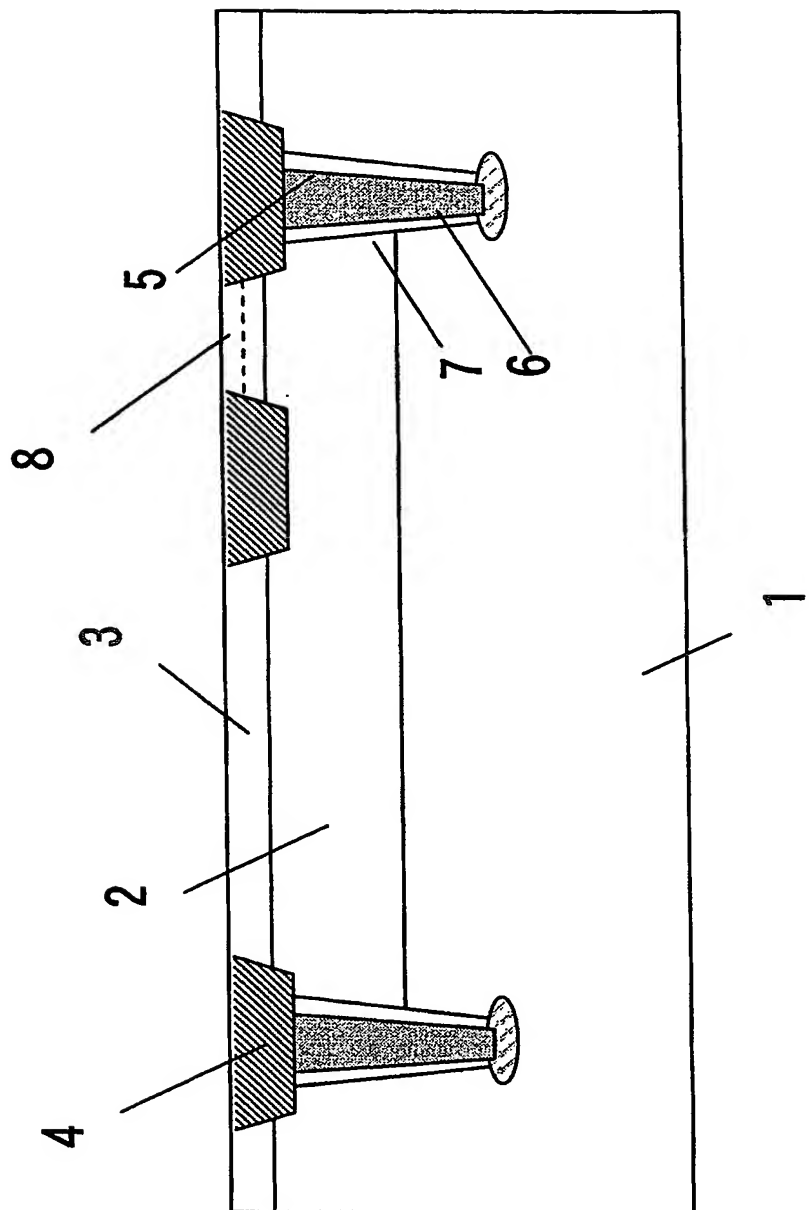
【図 16】



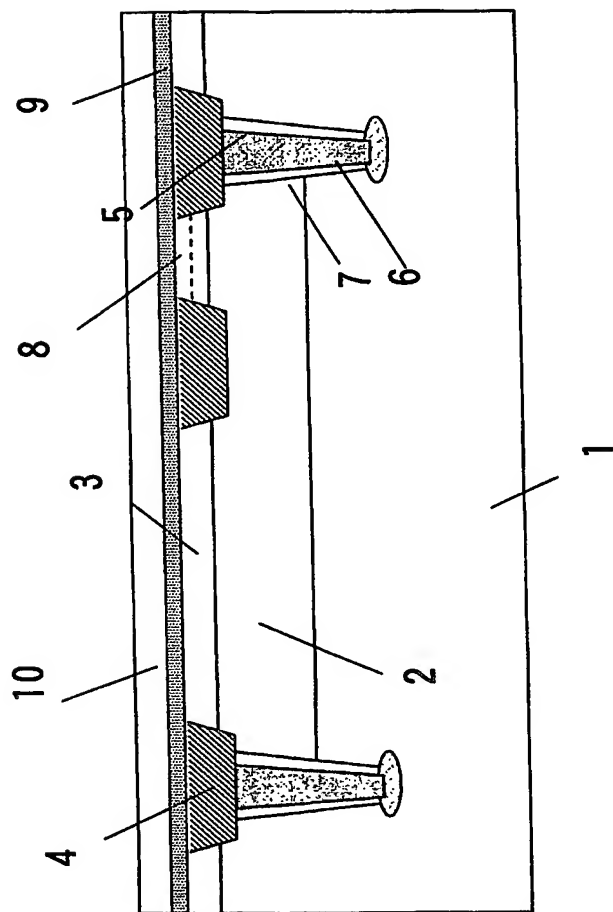
【図 17】



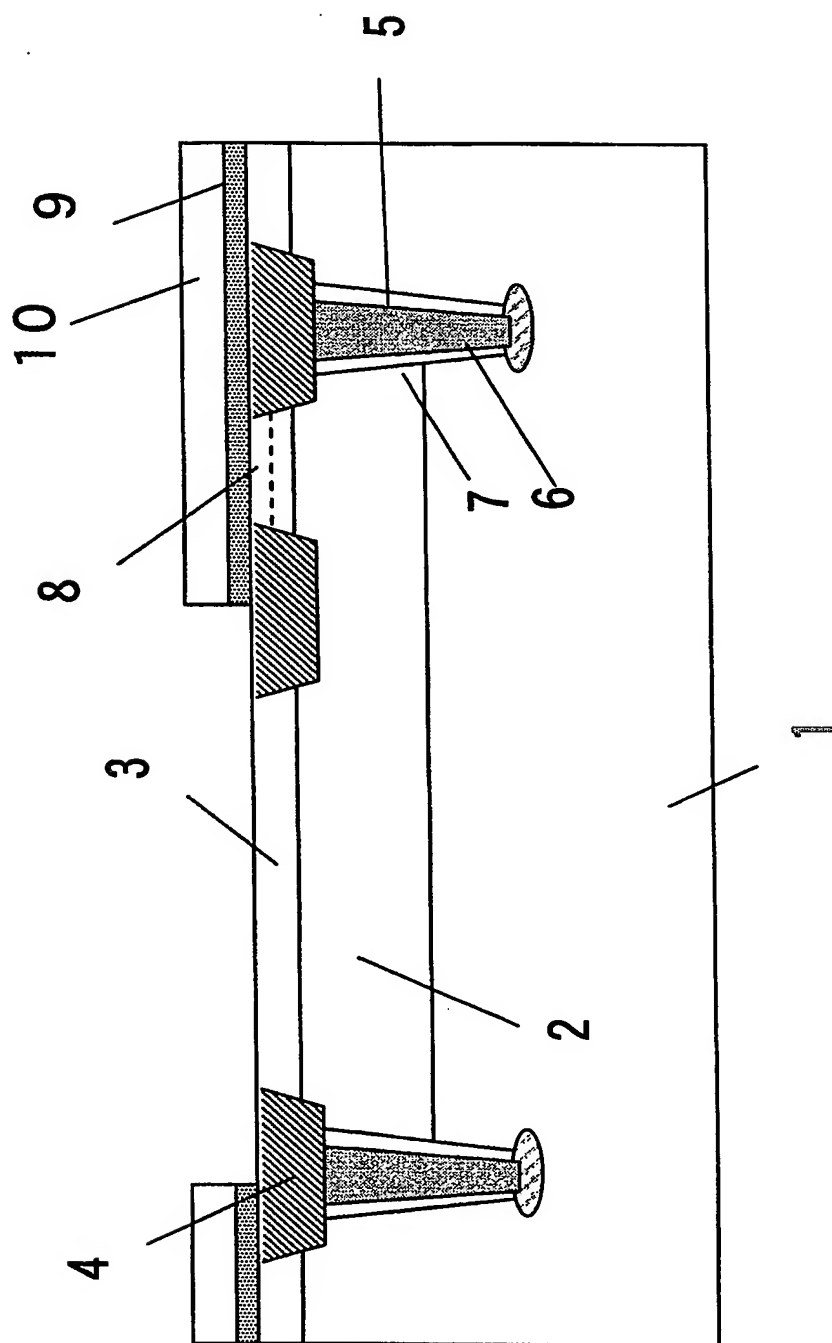
【図 18】



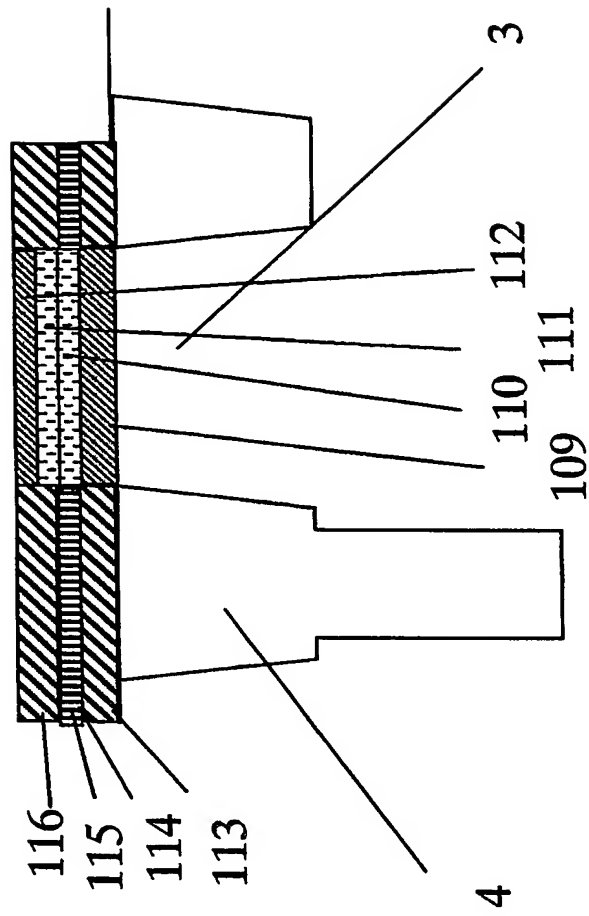
【図19】



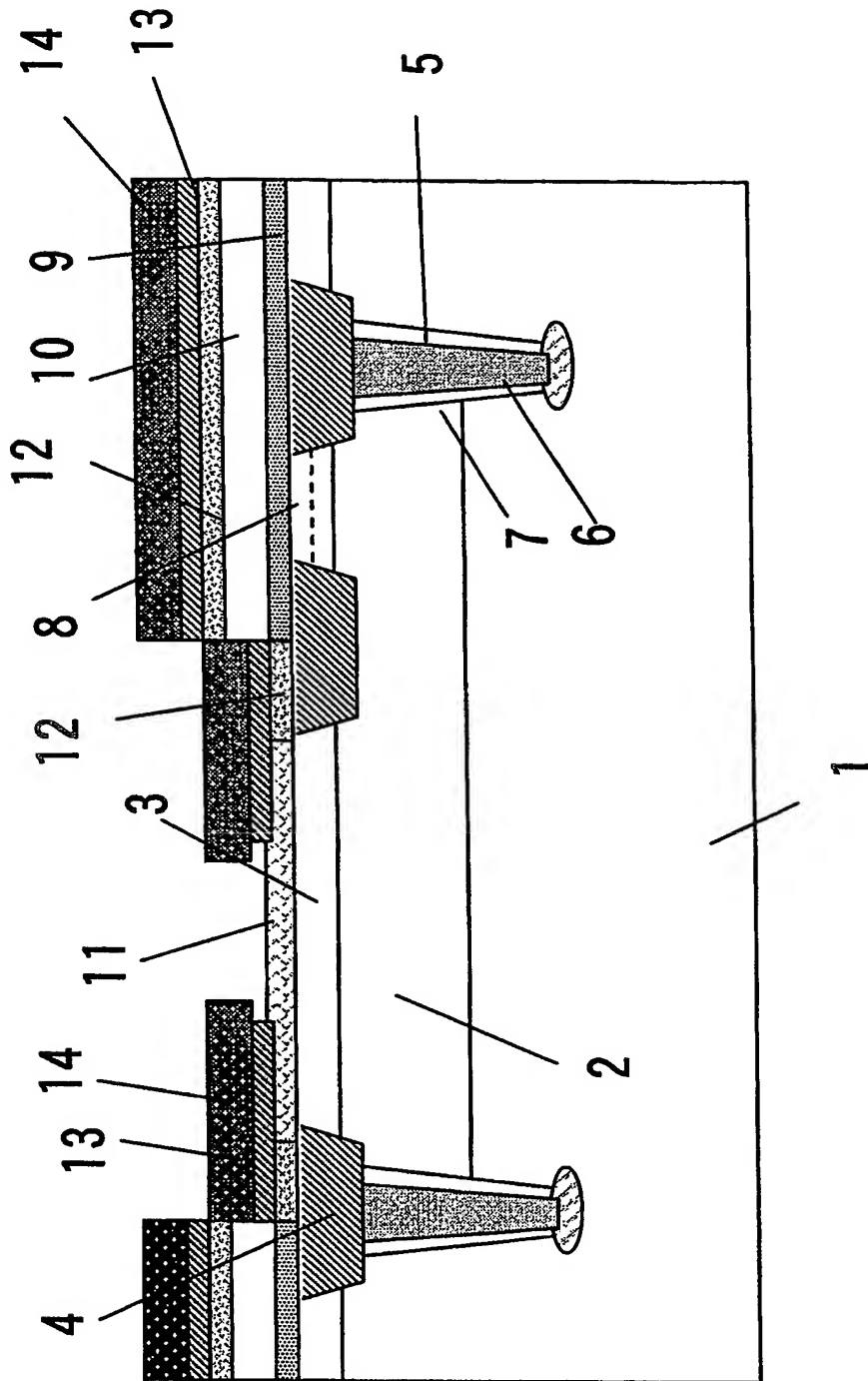
【図 20】



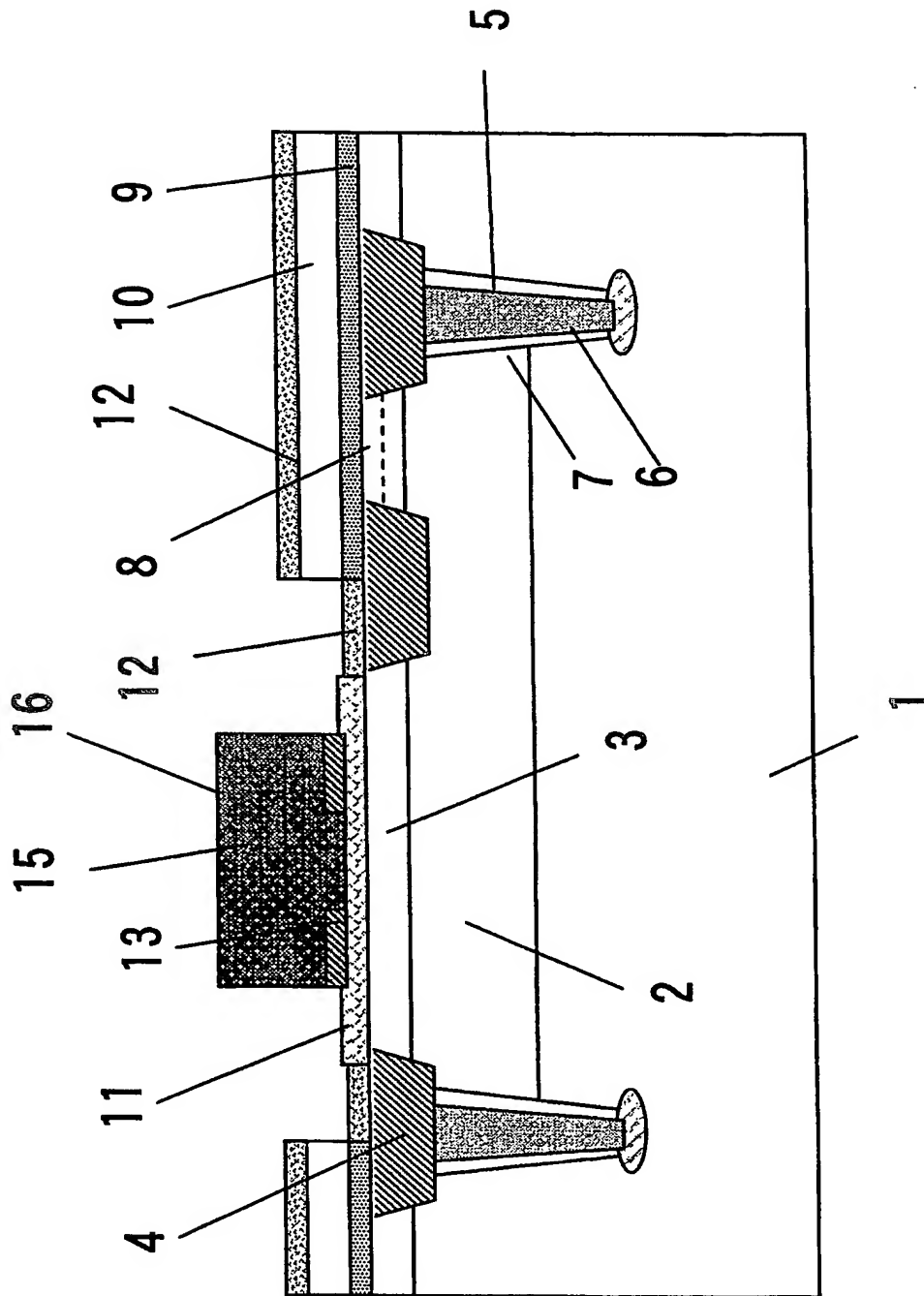
【図 21】



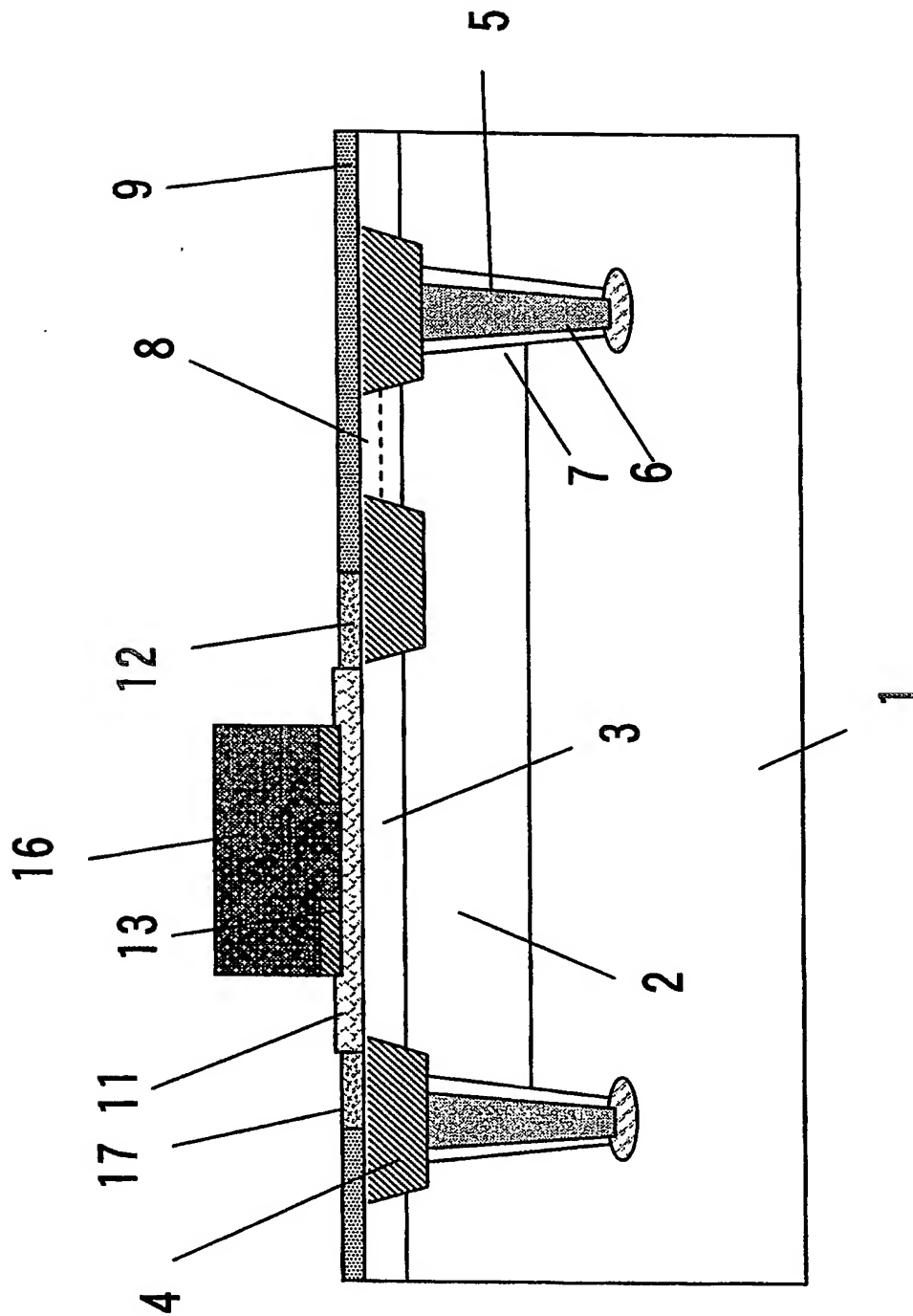
【図 22】



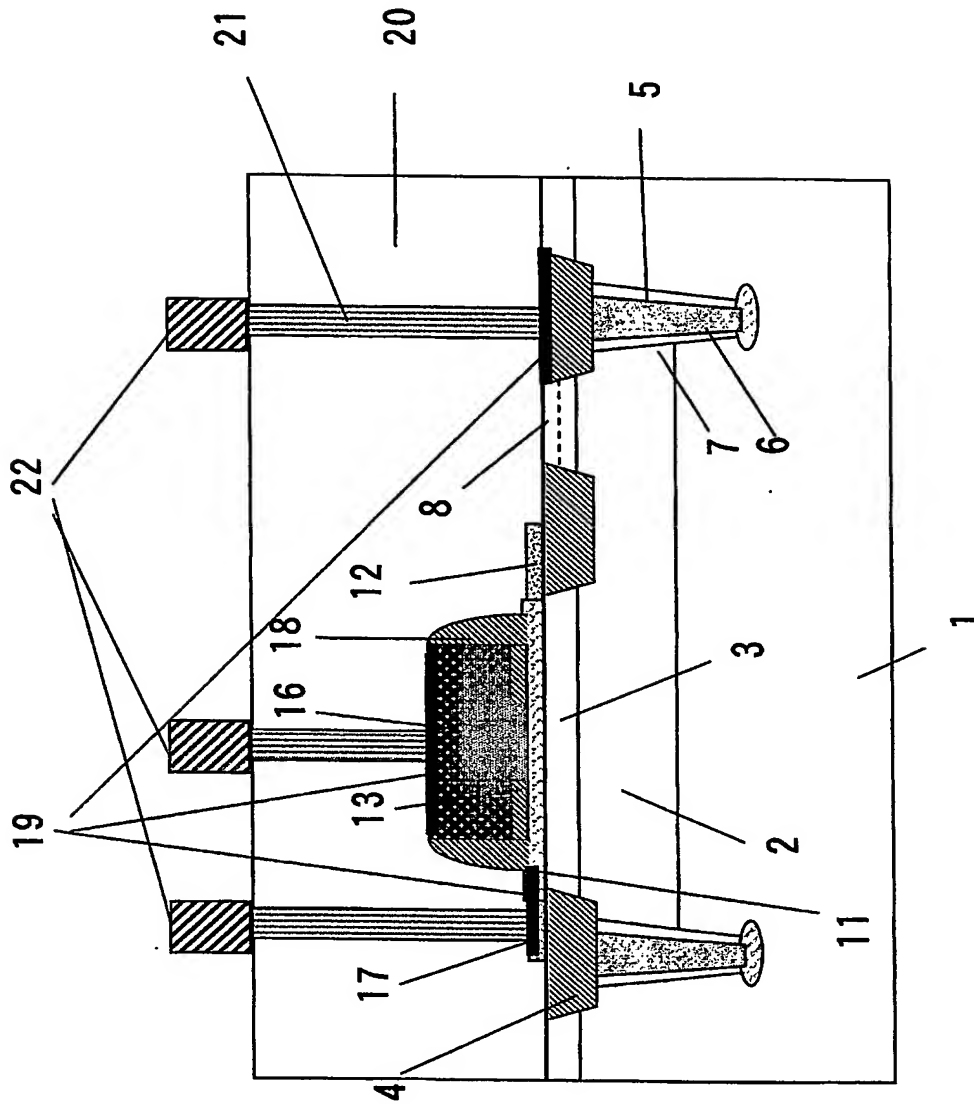
【図 23】



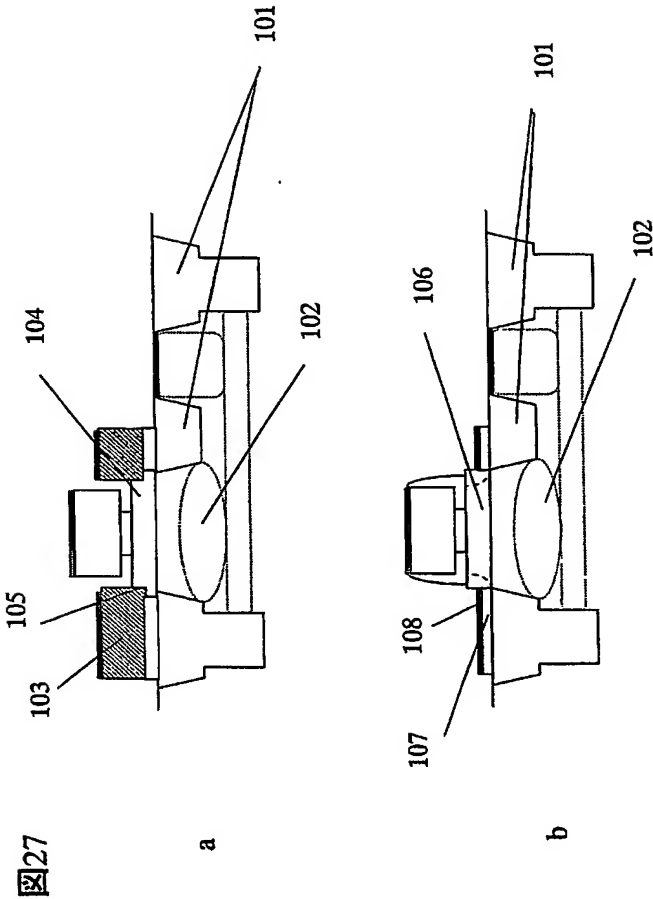
【図 24】



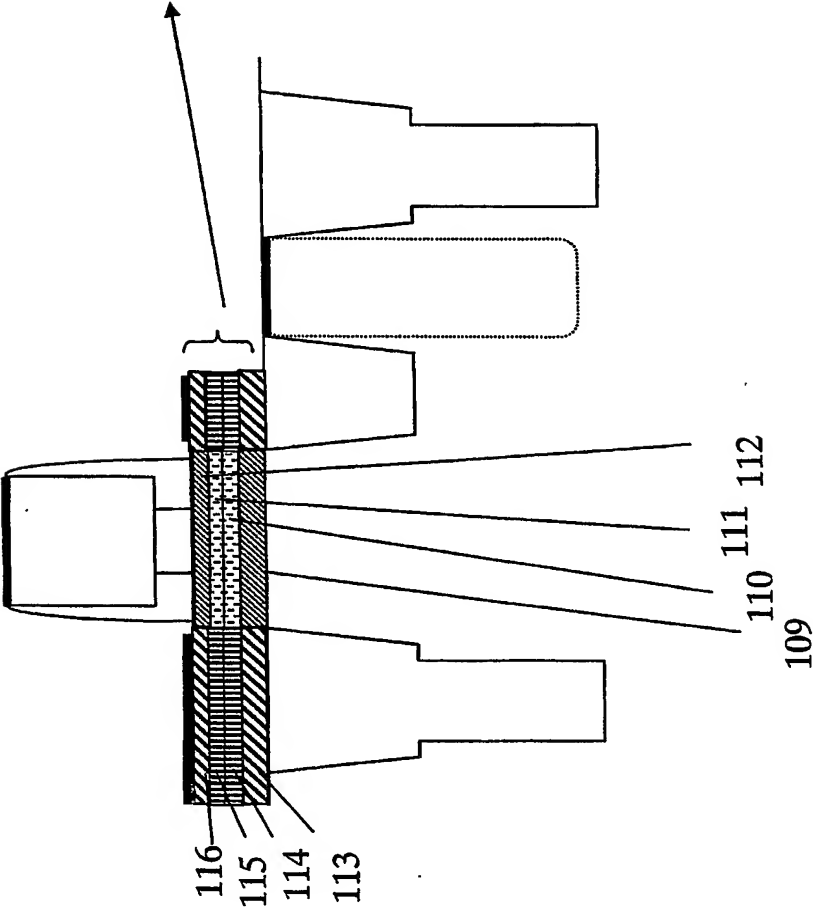
【図 26】



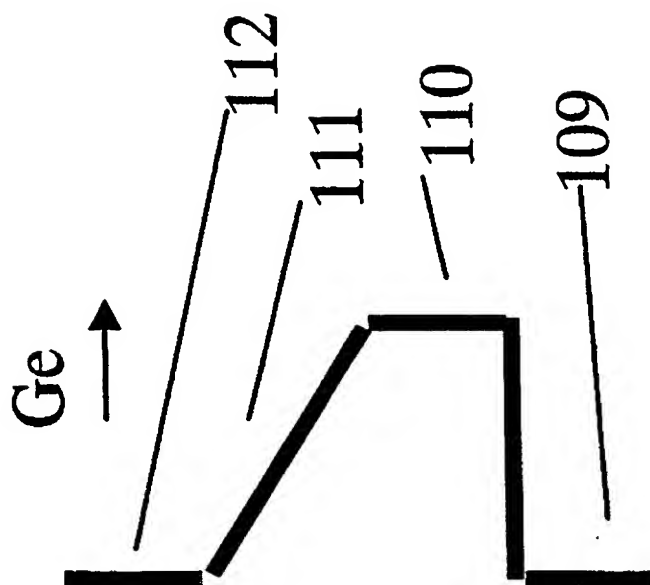
【図 27】



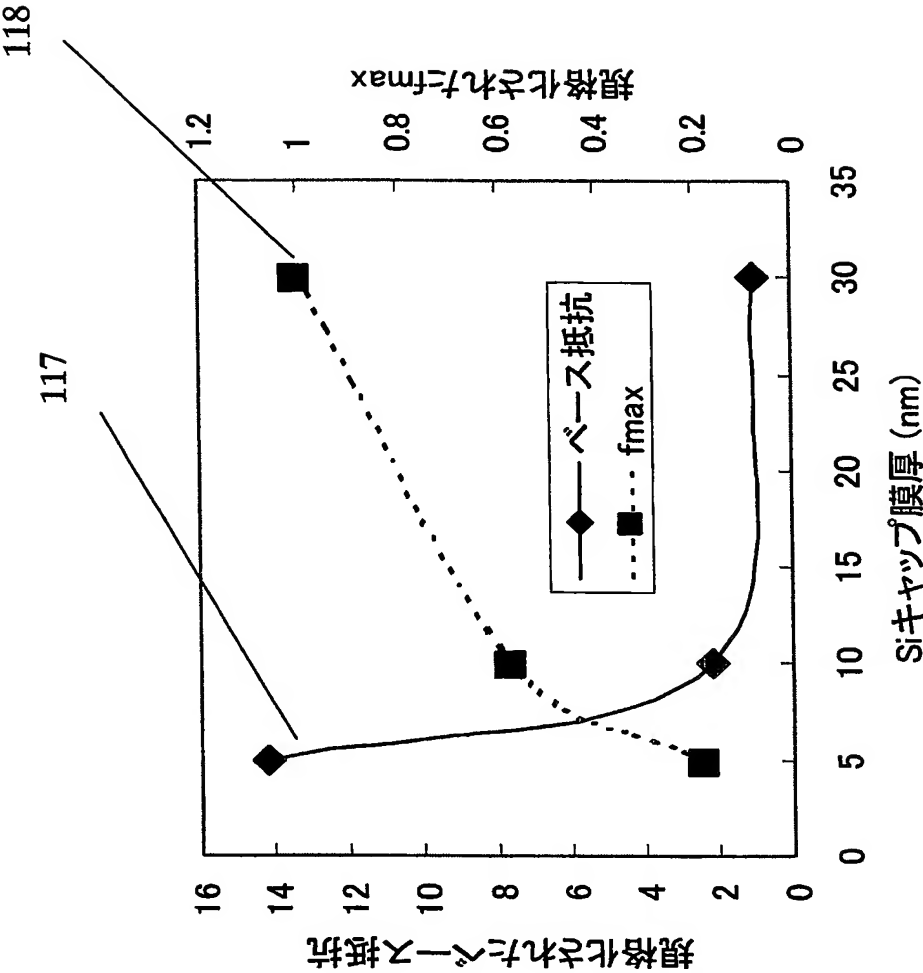
【図 2 8】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 SiGeエピタキシャル成長ベース層を有するシングルポリシリコン型のバイポーラトランジスタにおいて、外部ベース領域となるポリSiGe層のGeによりシリサイド形成が阻害され、ベース抵抗の増大を招く。

【解決手段】 ウェットエッチングにより外部ベース領域のSiGe層114・115を選択的に除去する、またはSiGe層成長時に外部ベース領域のSiGe層の堆積を抑制することにより、ポリ外部ベース膜内のGe含有量を低減し、ベース抵抗増大を回避する。

【選択図】 図13

特願 2 0 0 3 - 2 7 3 3 2 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.